

PAT-NO: JP405006971A
DOCUMENT-IDENTIFIER: JP 05006971 A
TITLE: SEMICONDUCTOR MEMORY DEVICE
PUBN-DATE: January 14, 1993

INVENTOR-INFORMATION:

NAME

SUWA, MASATO

MORI, SHIGERU

KINOSHITA, MITSUYA

KIKUTA, SHIGERU

MIYAMOTO, HIROSHI

MOROOKA, KIICHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP03272832

APPL-DATE: October 21, 1991

INT-CL (IPC): H01L027/092, H01L021/76 , H01L027/108

US-CL-CURRENT: 257/314

ABSTRACT:

PURPOSE: To make it possible to provide a higher integrated and higher capacity device without the pressure resistance between a source and a drain by installing a potential of a power source and voltage level with a specified polarity to a second conductor type well and a potential of grounding level to a first conductor well.

CONSTITUTION: A first conductor type semiconductor board is provided with a first conductor type well 2b whose side and bottom are surrounded by second conductor type wells 3a and 3b. Either of a memory cell 7b or an outside input circuit is installed to the first conductor type well 2b while the other is installed to a spot outside the second well region. A specified power source voltage is applied to the second conductor type wells 3a and 3b while a grounding level of voltage is applied to the first conductor type well 2b. The carriers implanted from the outside input circuit under this construction are absorbed by the second type wells 3a and 3b, which inhibits the arrival of the carriers to the memory cell 7b as a result and protects the data from breakdown, thereby providing a device with a higher degree of integration and capacity.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-6971

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092 21/76 27/108	J	9169-4M 7342-4M 8728-4M	H 0 1 L 27/ 08 27/ 10	3 2 1 K 3 2 5 V 審査請求 未請求 請求項の数3(全 18 頁)

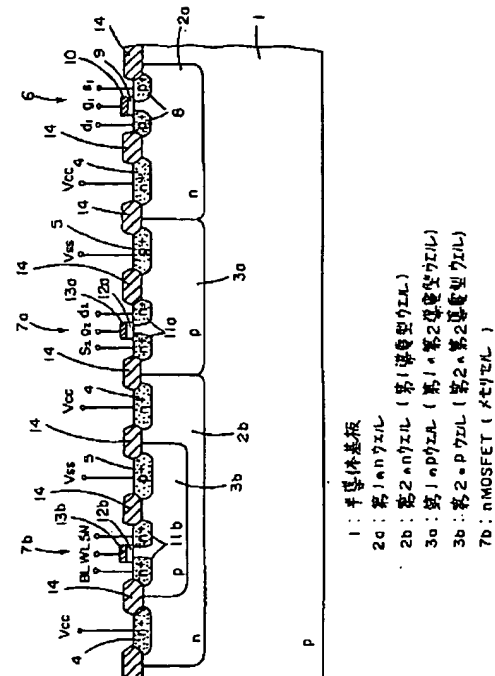
(21)出願番号	特願平3-272832	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成3年(1991)10月21日	(72)発明者	諏訪 真人 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
(31)優先権主張番号	特願平2-284959	(72)発明者	森 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
(32)優先日	平2(1990)10月22日	(72)発明者	木下 充矢 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 深見 久郎 (外3名) 最終頁に続く
(31)優先権主張番号	特願平3-62008		
(32)優先日	平3(1991)3月26日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ソース／ドレイン間の耐圧の劣化を生ずることなく、トランジスタの微細化を可能とし、高集積度かつ大容量の半導体記憶装置を提供する。

【構成】 第1導電型の半導体基板に、第2導電型ウェルに側面および底面を囲まれた第1導電型ウェルを有し、この第1導電型ウェル上にメモリセルあるいは外部入力回路のいずれか一方を配置し、他方を第2導電型ウェル領域外に設ける。第2導電型ウェルには、所定の電源電圧が印加され、第1導電型ウェルには接地レベルの電圧が印加されている。この構成により、外部入力回路から注入されたキャリアは、第2導電型ウェルで吸収される。その結果、キャリアのメモリセルへの到達が阻止され、データの破壊が防止される。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板に形成された第1の第1導電型ウェルと、この第1の第1導電型ウェルと隣接して、前記半導体基板に形成された第2導電型ウェルと、前記第2導電型ウェル内において、この第2導電型ウェルに底面および周囲側面を囲まれて形成された第2の第1導電型ウェルと、この第2の第1導電型ウェル上に形成されたメモリセルとを備え、前記第2導電型ウェルには所定の極性の電源電圧レベルの電位が与えられ、前記第1の第1導電型ウェルおよび前記第2の第1導電型ウェルには接地レベルの電位が与えられた、半導体記憶装置。

【請求項2】 第1導電型の半導体基板と、この半導体基板の主面上に形成された、メモリセルおよび外部入力回路と、を備えた半導体記憶装置であって、前記半導体基板表面近傍には、第2導電型のウェルと、この第2導電型のウェルの内側に形成された第1導電型のウェルとを有し、前記外部入力回路は前記第1導電型のウェルの領域上に設けられ、前記メモリセルは前記第2導電型のウェルの領域の外側に設けられ、前記第2導電型のウェルには所定の電源電圧レベルの電位が与えられ、前記第1導電型のウェルには接地レベルの電位または所定の基板電位が与えられた、半導体記憶装置。

【請求項3】 第1導電型の半導体基板に形成された第1の第1導電型ウェルと、この第1の第1導電型ウェルの近傍に形成された第2の第1導電型ウェルと、前記第1の第1導電型ウェルおよび前記第2の第1導電型ウェルのそれぞれの底面および周囲側面を囲む第2導電型ウェルと、前記第1の第1導電型ウェル上に形成された外部入力回路と、前記第2の第1導電型ウェル上に形成されたメモリセルとを備え、前記第2導電型ウェルには所定の電源電圧レベルの電位が与えられ、前記第2の第1導電型ウェルには接地レベルの電位が与えられ、前記第1の第1導電型ウェルには接地レベルの電位あるいは所定の基板電位が与えられた半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関し、特に、電子のインжекションを防止することにより、高集積化を図った半導体記憶装置に関するものである。

【0002】

【従来の技術】以下、従来の半導体記憶装置の一例を、図11に基づいて説明する。図11には、nチャネルMOS (Metal Oxide Semiconductor) 電界効果トランジスタおよびpチャネルMOS電界効果トランジスタを用いて、C (Complementary: 相補型) MOSからなる、DRAM (Dynamic Random Access Memory) の構造を示している。このDRAMは、p型半導体

基板1上にnウェル2およびpウェル3を形成している。nウェル2は、その中のn型不純物領域4において印加される電源電圧レベル V_{cc} に、pウェル3は、その中のp型不純物領域5において印加された基板電圧レベル V_{BB} に固定されている。nウェル2の表面には、pチャネルMOS電界効果トランジスタ（以下「pMOSFET」と記す）6が形成され、pウェル3の表面には、2個のnチャネルMOS電界効果トランジスタ（以下「nMOSFET」と記す）7a、7bが形成されている。

【0003】pMOSFET6は、ソース/ドレイン領域となるp型不純物拡散領域8と、このp型不純物拡散領域8に挟まれたチャネル領域上にゲート酸化膜9を介して形成された、ゲート電極10から構成される。また、nMOSFET7a、7bはソース/ドレイン領域となるn型不純物拡散領域11a、11bと、このn型不純物拡散領域11a、11bのそれぞれに挟まれたチャネル領域上に、ゲート酸化膜12a、12bを介して形成されたゲート電極13a、13bから構成されている。

【0004】このように構成された一般のCMOS回路では、pMOSFET6のソース電極 S_1 は、電源電圧レベル V_{cc} 端子に接続され、nMOSFETのソース電極 S_2 はグランド端子に接続されて接地レベルの電位 V_{ss} に固定されている。nMOSFET7bは、多数あるうちの1つのメモリセルであり、そのゲート電極13bはワード線(WL)となり、その2つのn型不純物拡散領域11bは、それぞれ電荷蓄積電極であるストレージノード(SN)、読出し/書込み電極であるビット線(BL)に接続されている。このメモリセルを別の断面で示すと、図13(a)のようになり、その等価回路は図13(b)に示すとおりである。また、半導体基板1上に選択的に形成された厚い酸化膜14で、拡散領域の分離を行なっている。

【0005】次に、以上のように構成された半導体記憶装置の動作について説明する。一般的に、基板電位 V_{BB} としては、たとえば-3V程度の負の電位が与えられる。その理由は次のとおりである。pウェル3内に形成されたn型の不純物拡散領域11aに、外部からの入力信号が入力された場合、この信号が「H」レベルから「L」レベルに変化する際のアンダーシュートや、入力の「L」レベルとして負の電位が与えられることによって、pウェル3の電位 V_{BB} の方がn型不純物拡散領域11aの電位よりも高くなることがある。ここでアンダーシュートとは、図12に示すように、端子に外部信号が入力され、たとえば5Vから0Vに変化した場合に、同図の矢印Aで指し示した部分のように、電圧が一瞬負レベルになる現象である。したがって、 V_{BB} が0Vである場合には、n型不純物拡散領域11aとpウェル3とのpn接合が順方向となるために、電子の注入が生じ

る。これが電子のインジェクションである。このインジェクションにより、 n 型不純物拡散領域11aから p ウェルに向けて電子の注入が行なわれ、注入された電子がメモリセルに到達し、メモリセルのデータを破壊することになる。このような電子のインジェクションを防止するために、 V_{BB} には負の電位が与えられているわけである。

【0006】

【発明が解決しようとする課題】ところが、メモリの大容量化に伴う素子の微細化によって、ゲート電極10、13a、13bの微細化が進むと、基板電位に負の電位を与えることによるトランジスタのソース/ドレイン間の耐圧の低下という問題が生じる。すなわち、 p ウェル3に負の電圧が印加されることにより、 n MOSFET7a、7bのしきい値電圧が高くなる。このしきい値電圧の上昇を抑えるために、チャネルの p 型不純物の濃度を低くすると、チャネルに空乏層が広がりやすくなって、ソース/ドレイン間のパンチスルーが生じてしまい、ソース/ドレイン間の耐圧が低下することになる。したがって、基板電位に負の電位を与えたままでは、トランジスタの微細化が困難であるという問題があった。

【0007】上記従来の問題点に鑑み本発明は、メモリセルに蓄積されたデータがキャリアのインジェクションによって破壊されるという現象を、ソース/ドレイン間の耐圧の劣化を生ずることなく防止することにより、高集積かつ大容量の半導体記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体記憶装置は、第1導電型の半導体基板に形成された第1の第1導電型ウェルと、この第1導電型ウェルと隣接して半導体基板に形成された第2導電型ウェルと、この第2導電型ウェル内において、この第2導電型ウェルに底面および周囲側面を囲まれて形成された第2の第1導電型ウェルと、この第2の第1導電型ウェル上に形成されたメモリセルとを備えている。第2導電型ウェルには所定の極性の電源電圧レベルの電位が与えられ、第1の第1導電型ウェルおよび第2の第1導電型ウェルには接地レベルの電位が与えられている。

【0009】本発明の半導体記憶装置は、他の局面においては、第1導電型の半導体基板上に、第2導電型のウェルとその内側に形成された第1導電型のウェルとを有し、第1導電型のウェル領域内に外部入力回路が設けられ、第2導電型のウェル領域の外側にメモリセルを配置している。

【0010】本発明の半導体装置は、さらに他の局面においては、外部入力回路とメモリセルがそれぞれ形成された2つの第1導電型ウェルと、これらの第1導電型ウェルのそれぞれの底面および周囲側面を囲む第2導電型ウェルとを備えている。その外部入力回路には所定の電

源電圧レベルの電位が与えられ、メモリセルには接地レベルの電位が与えられている。また、第2導電型ウェルには、接地レベルの電位あるいは所定の基板電位が与えられている。

【0011】

【作用】本発明の半導体記憶装置によれば、メモリセルを形成した第2の第1導電型ウェルを包むように第2導電型ウェルが形成され、第2導電型ウェルには所定の極性の電源電圧レベルの電位が、第1の第1導電型ウェルおよび第2の第1導電型ウェルには接地レベルの電位が与えられたことにより、第1導電型ウェルと第2導電型ウェルとの接合により形成される p n 接合に逆バイアス電圧を印加することができる。したがって、各第1導電型ウェルまたは半導体基板に注入されたキャリアを第2導電型ウェルが吸収するとともに、 p n 接合における絶縁により、メモリセルにキャリアが到達することが防止される。その結果、メモリセルに記憶されたデータが破壊されることが防止される。

【0012】また、本発明の他の局面において、外部入力回路を、第2導電型ウェルに囲まれた第1導電型ウェル上に設け、メモリセルを、電源電圧レベルの電位を与えた第2導電型ウェルの外側の領域に設けたことによっても、外部入力回路から第1導電型ウェルに注入されたキャリアが第2導電型ウェルに吸収されて、メモリセルへの到達が阻止される。

【0013】本発明のさらに他の局面において、外部入力回路とメモリセルをそれぞれ形成した2つの第1導電型ウェルの底面および周囲側面を第2導電型ウェルが囲むことによっても、注入されたキャリアのメモリセルへの到達が防止される。

【0014】

【実施例】以下、本発明の第1の実施例について、図1および図2に基づいて説明する。図1には、CMOSを含むDRAMに本発明を適用した実施例を示している。本実施例の半導体記憶装置は、図1を参照して、第1導電型である p 型の半導体基板1上に第1の n ウェル2aと第1の p ウェル3a、第2の n ウェル2bおよびそれに囲まれた第2の p ウェル3bを形成している。第1の n ウェル2aおよび第2の n ウェル2bは、いずれも n 型不純物拡散領域4を介して、正の電源電圧レベル V_{cc} が印加されている。

【0015】第1の p ウェル3a上には、 n MOSFET7aが、第1の n ウェル2a上には p MOSFET6が形成され、 n MOSFET7aと p MOSFET6とは、本実施例のDRAMの周辺回路としてのCMOSを構成している。 p MOSFET6は、主としてソース/ドレイン領域となる p 型不純物拡散領域8と、ソース/ドレイン間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極10とから構成されている。また、 n MOSFET7aは、ソース/ドレイン領域となる n

型不純物拡散領域11aと、ソース/ドレイン領域間のチャネル領域上に、ゲート絶縁膜12aを介して形成されたゲート電極13aとから構成されている。

【0016】第2のnウェル2bに囲まれた第2のpウェル3b上には、DRAMのメモリセルを構成するnMOSFET7bが形成されている。このnMOSFET7bは、主として、ソース/ドレイン領域となるn型不純物拡散領域11bと、ソース/ドレイン領域間のチャネル領域上にゲート絶縁膜12bを介して形成されたゲート電極13bとから構成されている。

【0017】第1のnウェル2aと、第2のnウェル2bは、いずれも不純物拡散領域4を介して正の電源電圧レベル V_{cc} が印加されている。また、第1のpウェル3aと第2のpウェル3bは、いずれもp型不純物拡散領域5を介して、接地レベル V_{ss} が印加されている。各素子間は、酸化膜14によって分離絶縁されている。

【0018】本実施例によれば、上記構成を有するため、接地レベル V_{ss} に固定された第2のpウェル3bと、電源電圧レベル V_{cc} に固定された第2のnウェル2bとの境界に形成されるpn接合に、既に逆バイアスが印加されることになる。したがって、たとえば第2のpウェル3b内にあるn型不純物拡散領域11bの電位が、入力信号の「H」から「L」への変化時のアンダーシュートあるいは入力「L」レベルとして負の電位が与えられることによって、負の電位になり、接地レベル V_{ss} よりも低くなる。その結果、n型不純物拡散領域11bからpウェル3bへの電子のインジェクションが生じたとしても、図2に示すように、 V_{cc} に固定された第2のnウェル2bによって注入された電子が吸収される。またpn接合による絶縁によって、メモリセルへの電子の到達が回避されるため、メモリセルに蓄積されたデータを破壊することを防止することができる。

【0019】また、第1のpウェル3a、および第2のpウェル3bの電位は、接地レベル V_{ss} に固定されているため、負の電位が印加された場合のように、nMOSFET7bのしきい値電圧が高くなることなく、したがってチャネル領域のp型不純物濃度を下げる必要もない。その結果、nMOSFET7a、7bのソース/ドレイン耐圧を保ちつつ、微細化が可能となる。

【0020】なお、上記実施例においては、n型ウェルに囲まれた第2のpウェル3b上にnMOSFET7bを含むメモリセルを形成した場合について述べたが、これらの導電型を全て逆にした場合にも、 V_{cc} の極性が逆になるとともに、インジェクションされるキャリアが電子から正孔に替わるのみであり、作用効果としては共通するものである。

【0021】次に、本発明の第2の実施例について、図3ないし図10を参照しながら説明する。なお図3ないし図10において、図1に示したものと同一または相当の要素については、同一の番号を付して詳細な説明を省

略する。

【0022】上記第1の実施例が、メモリセルを構成するnMOSFET7bを第2のnウェル2bの内側に形成された第2のpウェル3bの領域内に設けることによって、第2のnウェル2bの外側からの電子の注入によるメモリセルのデータの破壊を防止していたのに対し、第2の実施例においては、外部入力回路を構成するnMOSFETを、第2のnウェル2bの内側に形成した第2のpウェル3b内の領域に設けることにより、この外部入力回路からの電子のインジェクションによる、第2のnウェル2bより外側の領域のメモリセル(nMOSFET7b)のデータの破壊を防止している。

【0023】第2の実施例のうち、まず図3に示す構造においては、pMOSFET6、nMOSFET7a、7bは図11に示す従来例と同じ配置のままで、電子のインジェクションが生じやすい外部入力回路としてのnMOSFET7cのみを予め隔離することにより、メモリセルへの影響を排除するものである。

【0024】図4を参照して、nMOSFET7cは、ソース/ドレイン領域となるn型不純物拡散領域11cと、このn型不純物拡散領域11cに挟まれたチャネル領域上に、ゲート酸化膜12cを介在させて形成されたゲート電極13cから構成されている。外部入力回路は、実際には複数のnMOSFETを含むが、図3では、説明を簡単化するために、1つのnMOSFET7cのみを代表して示している。nMOSFET7cのソース端子 s_3 、ドレイン端子 d_3 およびゲート端子 g_3 のうちソース端子 s_3 は、外部入力端子(図示せず)に電気的に接続されている。

【0025】次に、本実施例の図3に示す構造の動作について説明する。nMOSFET7cを設けた第2のpウェル3bは、接地レベル V_{ss} あるいは所定の負の基板電位 V_{BB} に固定されている。第2のpウェル3bが V_{ss} に固定されている場合、この第2のpウェル3b内にあるn型不純物拡散領域11cの電位が、入力信号の「H」から「L」への変化時のアンダーシュート、または入力信号のLレベルとして負の電位が与えられることにより、接地レベル V_{ss} より低くなって、n型不純物拡散領域11cから第2のpウェル3bへの電子のインジェクションが行なわれたとしても、第2のpウェル3bのまわりを取囲む第2のnウェル2bが電源電位 V_{cc} に固定されることによって、注入された電子が第2のnウェル2bに吸収される。そのため、この注入された電子がメモリセルを構成するnMOSFET7bへ到達することはなく、記憶されたデータが破壊されることはない。第2のpウェル3bが所定の負の基板電位 V_{BB} に固定されている場合には、外部入力として V_{BB} よりも絶対値の小さな負の電位が印加されたとしても、pn接合に順方向のバイアスがかかることはないため、電子のインジェクションは抑制される。仮にインジェクションが生

じたとしても、 V_{cc} に固定されたnウェル2bに囲まれているため、メモリセルには到達しない。

【0026】また、第1のpウェル3aおよび第2のpウェル3bが接地レベル V_{ss} に固定されているため、従来例のように負の電位を印加した場合のような問題点は生ずることがない。したがって、nMOSFET7a、7b、7cのソース/ドレイン耐圧を保持しながら、高集積化のための微細化が可能になる。

【0027】本実施例の場合においても、各々の導電型をすべて逆にした場合にも、 V_{cc} の極性が逆になるとともに、インジェクションされるキャリアが電子から正孔に変わるのみであり、作用効果としては上記第1の実施例と同様である。

【0028】なお、図3に示した上記構造においては、nMOSFET7a、7bがともに第1のpウェル3aの中に形成されているが、上記nMOSFET7a、7bのいずれかあるいはその両方を、たとえば図4、図5および図6に示すように、p型の半導体基板1上のウェルを形成しない領域に直接形成することによっても、上記図3の構造と同様の効果を得ることができる。図4に示す構造においては、nMOSFET7b(メモリセル)がp型の半導体基板1上のウェルを形成しない領域に直接形成されており、他は図3と同様である。図5に示す構造においては、nMOSFET7aがp型の半導体基板1上のウェルを形成しない領域に直接形成されており、他は図3と同様である。図6に示す構造においては、nMOSFET7a、7bの両方がp型の半導体基板1上のウェルを形成しない領域上に直接形成されており、他は図3と同様である。

【0029】また、上記図3ないし図6に示した構造においては、第1のnウェル領域2aと第2のnウェル領域2bとを別個に形成しているが、外部入力回路を、図7ないし図10に示すように、第1のnウェル2の内側に形成された第2のp型ウェル3b上に形成してもよく、それらの構造によっても図3ないし図6に示した構造と同様の効果を得ることができる。図7ないし図10に示す構造については、nMOSFET7cが設けられた第2のpウェル3bが第1のnウェル2内に形成されているが、その他については、それぞれ図3ないし図6に示す構造と同様である。

【0030】次に、本発明の第3の実施例について、図14を参照して説明する。図14に示した実施例では、第1のpウェル3a上にメモリセル7bが、第2のpウェル3b上に外部入力回路7cが形成され、第1のpウェル3aおよび第2のpウェル3bの各底面および周囲側面が、第1のnウェル2aと第2のnウェル2bで囲まれている。第2のpウェル3bには、p型不純物領域5を介して、接地レベル V_{ss} あるいは所定の負の基板電位 V_{BB} が印加されている。

【0031】本実施例の構造によっても、上記第2の実

施例の場合と同様に、外部入力回路7cから第2のpウェル3bへ電子のインジェクションが生じたとしても、第2のnウェル2bで電子が吸収されているため、メモリセル7bへ電子が到達することはない。よってメモリセル7bのデータの破壊が防止される。

【0032】

【発明の効果】以上述べたように本発明によれば、メモリセルを形成する第1導電型ウェルのまわりを第2導電型ウェルで囲んだ二重ウェル構造とし、第2導電型ウェルには電源電圧レベルの電位を印加し、第1導電型ウェルには接地レベルの電位を印加し、第1導電型ウェルと第2導電型ウェルとで形成されるpn接合に逆バイアス電圧を印加することにより、第2導電型ウェルの外側においてキャリアのインジェクションが生じたとしても、そのキャリアは第2導電型ウェルで吸収され、第1導電型ウェル内に侵入することはない。したがって、メモリセルに蓄積されたデータがキャリアのインジェクションによって破壊されるという現象を、第2導電型ウェルに高い電位を与えることなく防止することができる。したがって、ソース/ドレイン間の耐圧の劣化を生じることなく、トランジスタの微細化が可能となり、高集積度かつ大容量の半導体記憶装置を提供することができる。

【0033】また、第1導電型の半導体基板上に、第2導電型ウェルの内側に形成された第1導電型ウェルを有し、この第1導電型ウェル上に外部入力回路を配置し、第2導電型ウェルの領域の外側にメモリセルを設けることによっても、注入されたキャリアのメモリセルへの到達が防止され、上記と同様の効果を有する半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるDRAMの構成を示す断面図である。

【図2】図1に示したDRAMのメモリセルの近傍における別の断面を拡大して示す断面図である。

【図3】本発明の第2の実施例における半導体装置の、第1の態様を示す断面図である。

【図4】本発明の第2の実施例における半導体装置の、第2の態様を示す断面図である。

【図5】本発明の第2の実施例における半導体装置の、第3の態様を示す断面図である。

【図6】本発明の第2の実施例における半導体装置の、第4の態様を示す断面図である。

【図7】本発明の第2の実施例における半導体装置の、第5の態様を示す断面図である。

【図8】本発明の第2の実施例における半導体装置の、第6の態様を示す断面図である。

【図9】本発明の第2の実施例における半導体装置の、第7の態様を示す断面図である。

【図10】本発明の第2の実施例における半導体装置の、第8の態様を示す断面図である。

【図11】従来のDRAMの構造を示す断面図である。

【図12】アンダーシュートの現象を説明するための図である。

【図13】(a)は、図3に示した従来のDRAMのメモリセル近傍における別の断面を示す図であり、(b)は、(a)に示したメモリセルの等価回路図である。

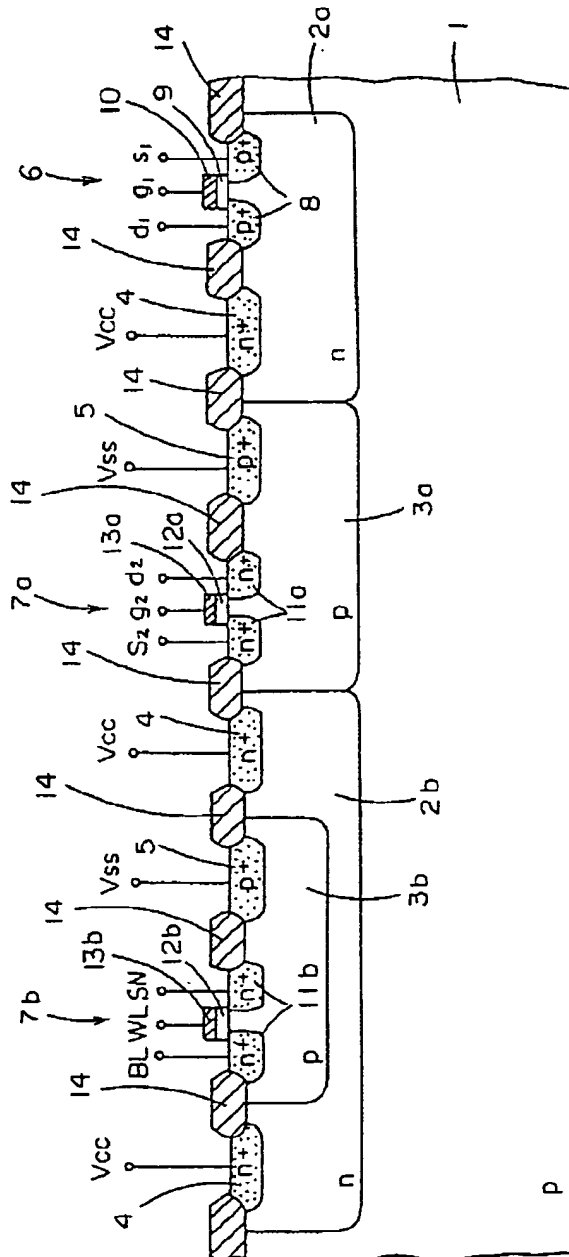
【図14】本発明の第3の実施例における半導体装置の構造を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2a 第1のnウェル
- 2b 第2のnウェル(第1導電型ウェル)
- 3a 第1のpウェル(第1の第2導電型ウェル)
- 3b 第2のpウェル(第2の第2導電型ウェル)
- 7b nMOSFET(メモリセル)

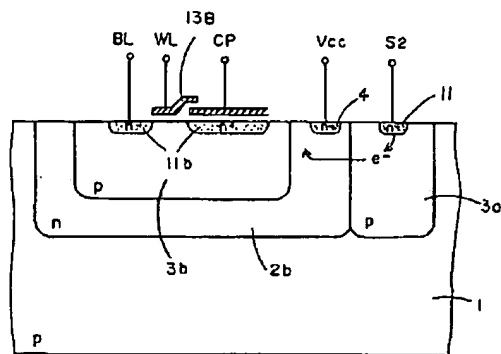
なお、図中、同一符号を付した部分は、同一または相当の要素を示す。

【図1】

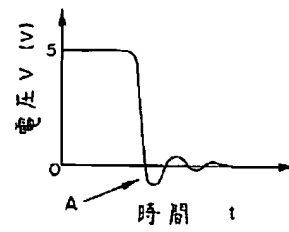


- 1 : 半導体基板
- 2a : 第1のnウェル
- 2b : 第2のnウェル (第1導電型ウェル)
- 3a : 第1のpウェル (第1の第2導電型ウェル)
- 3b : 第2のpウェル (第2の第2導電型ウェル)
- 7b : nMOSFET (メモリセル)

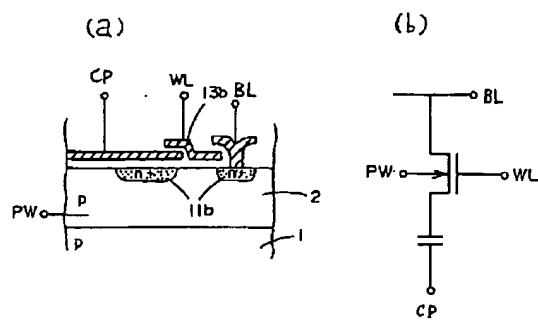
【図2】



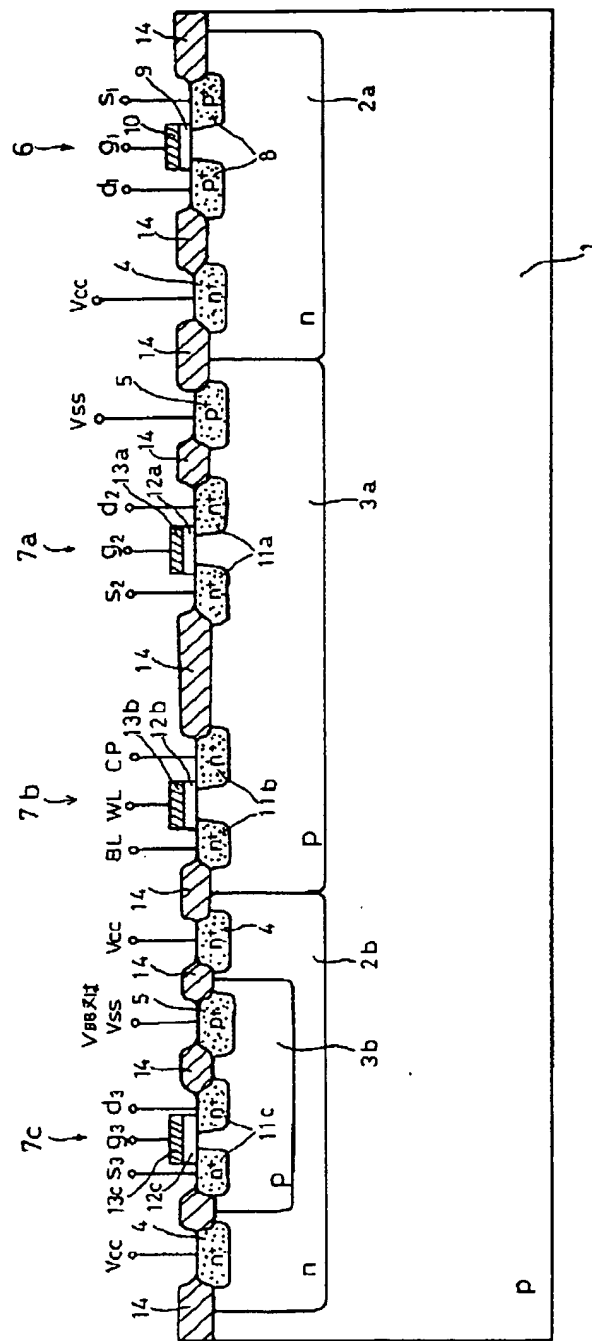
【図12】



【図13】

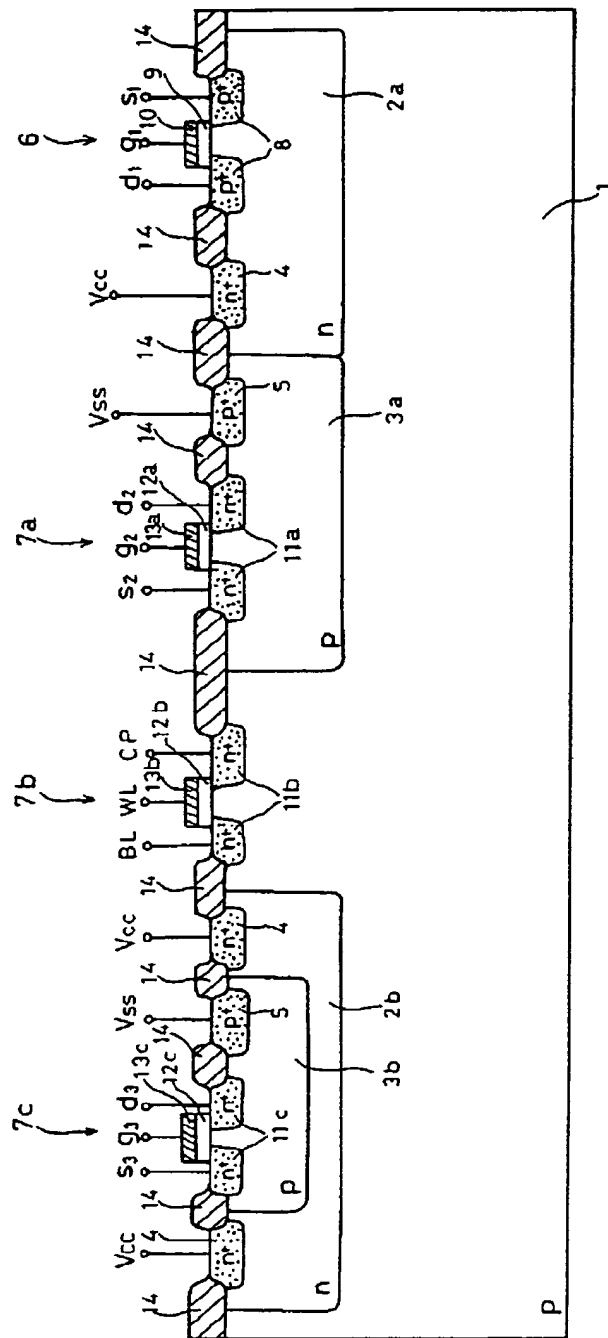


【図3】

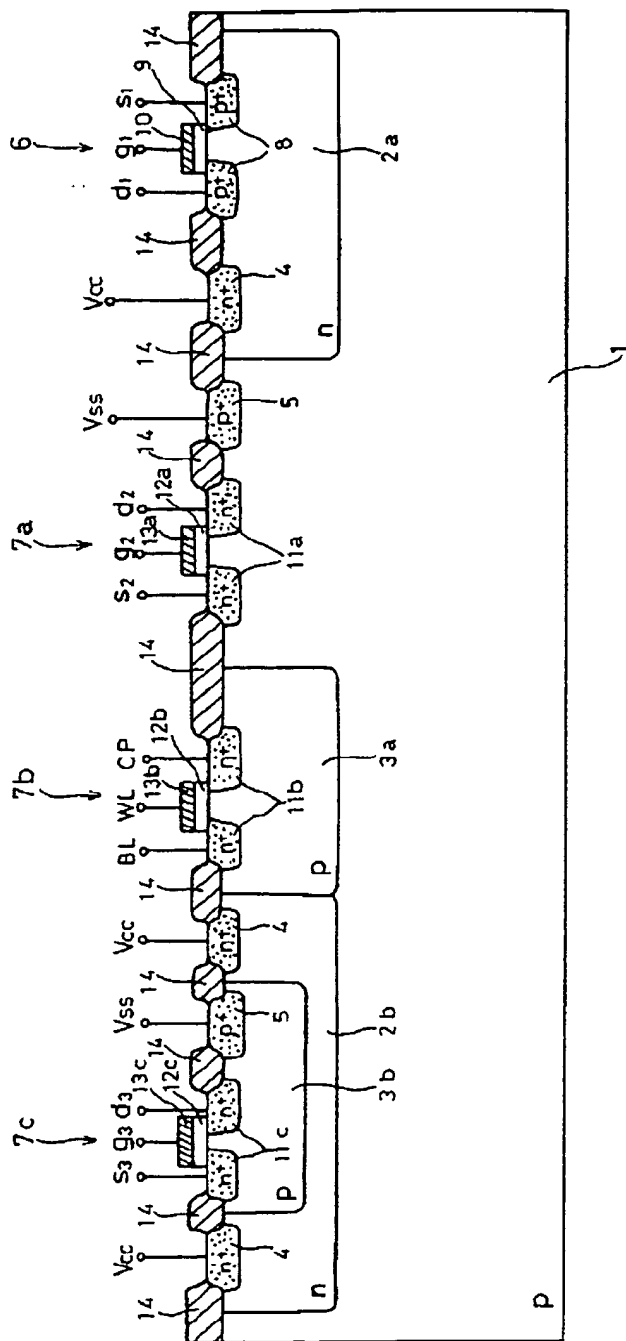


7c : n MOSFET (外部入力回路)

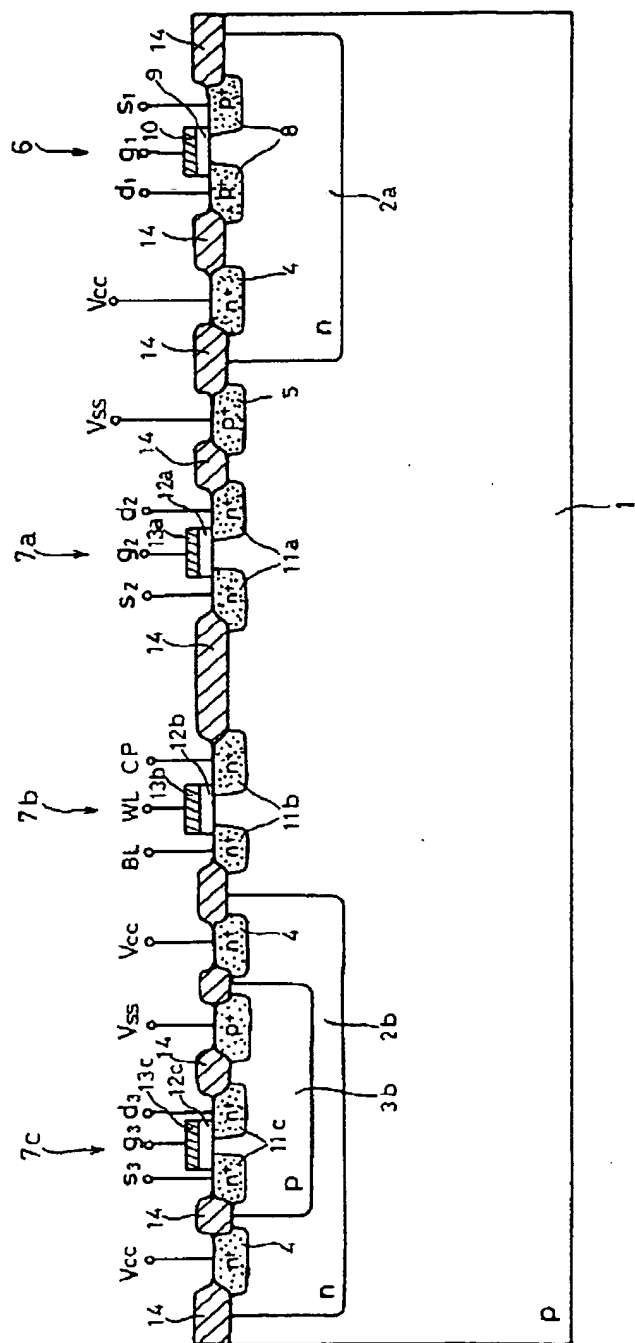
【図4】



【図5】

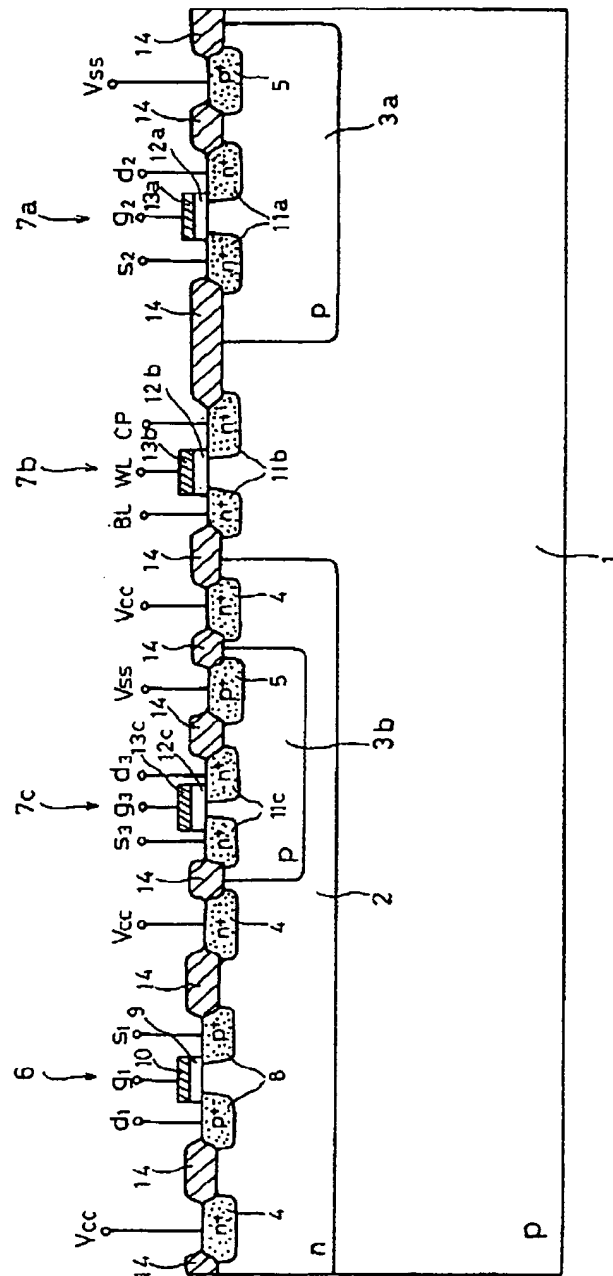


【図6】

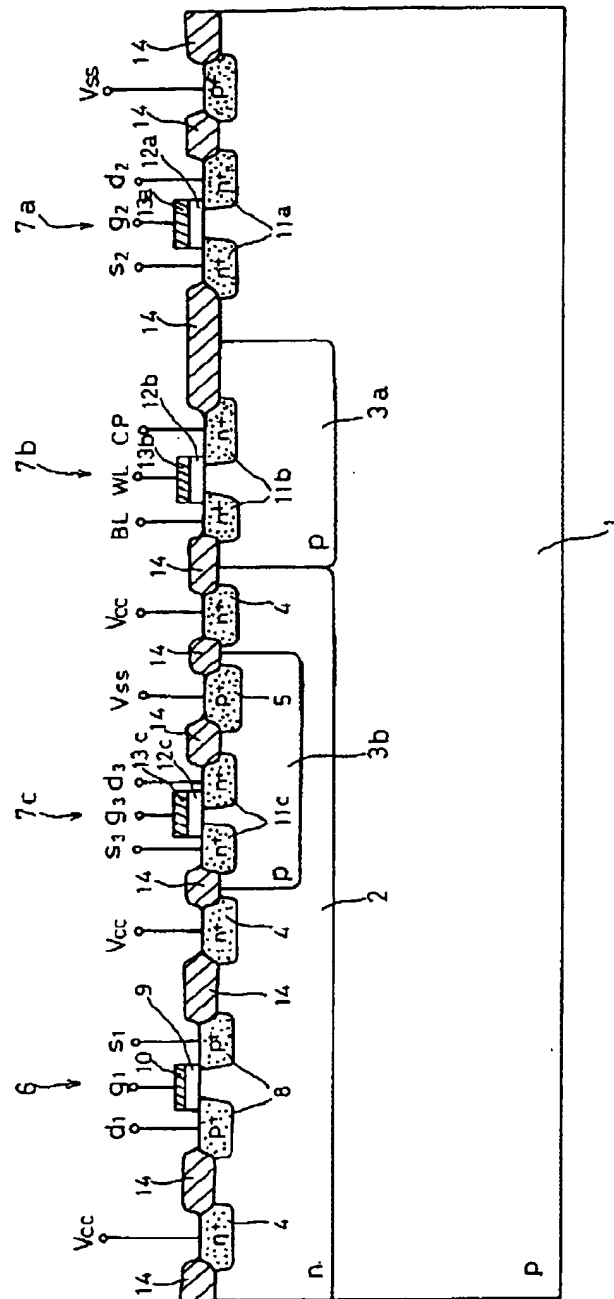


[illegible]

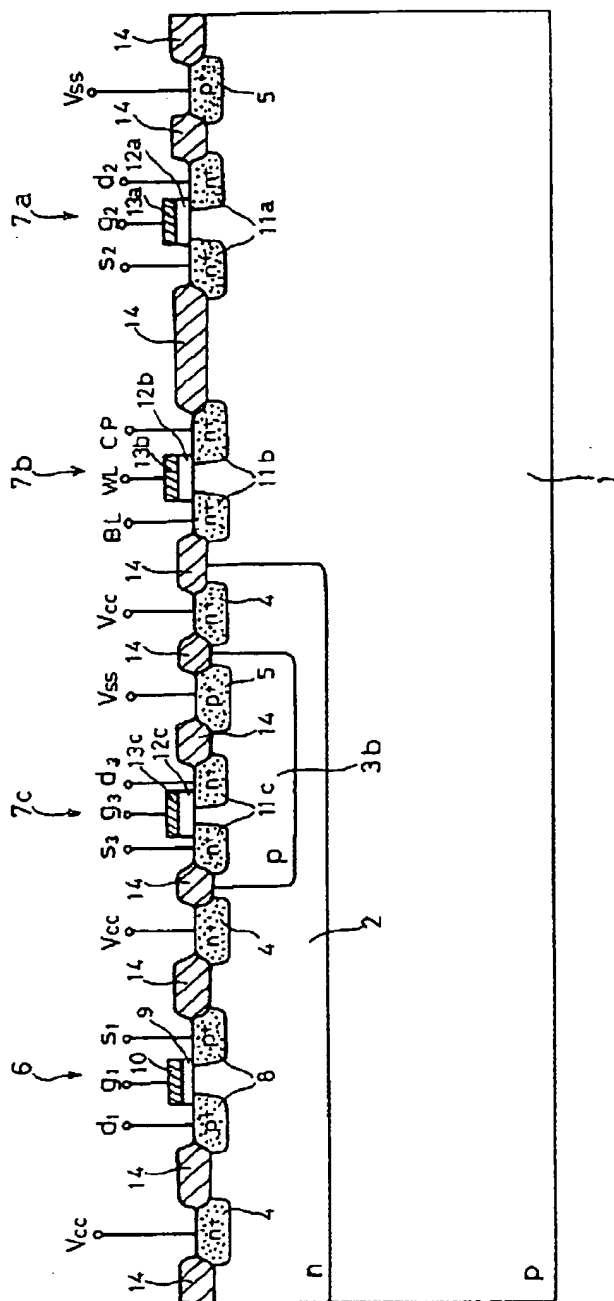
【図8】



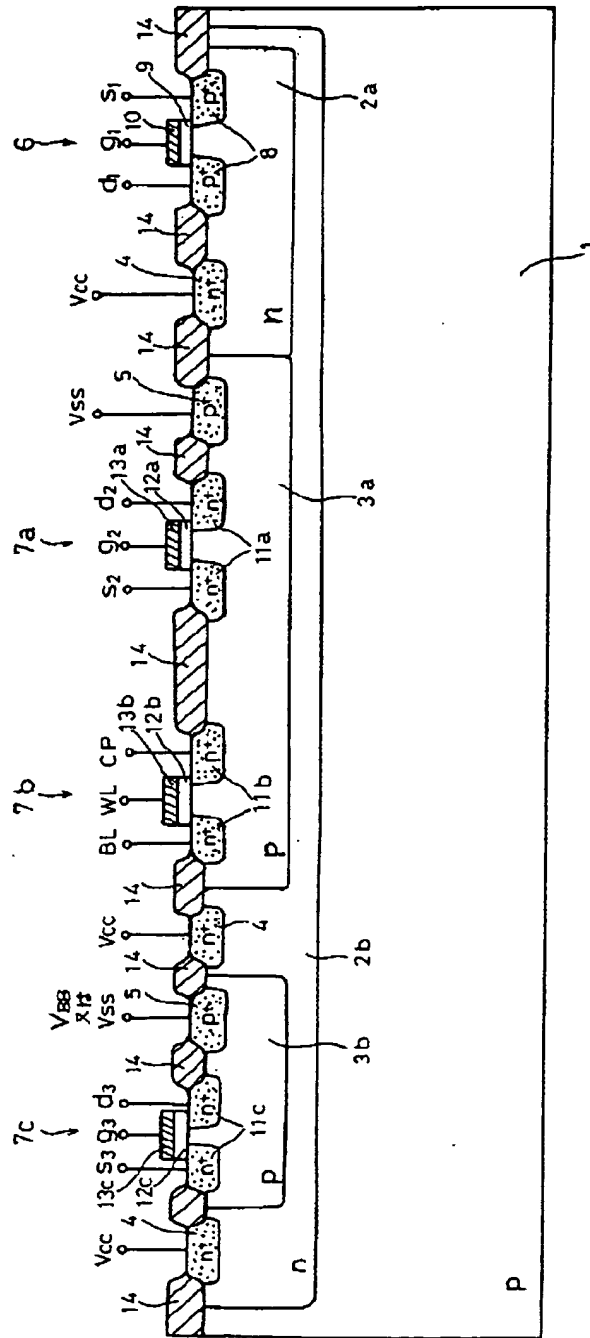
【図9】



【図10】



【図14】



フロントページの続き

(72)発明者 菊田 繁
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(72)発明者 宮本 博司
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(72)発明者 諸岡 毅一
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内